



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07243984 A
 (43) Date of publication of application: 19.09.1995

(51) Int. Cl G01N 21/88
 G01B 11/24, G06T 7/00, H01L 21/66, H05K 13/08

(21) Application number: 06066786	(71) Applicant: DAINIPPON SCREEN MFG CO LTD
(22) Date of filing: 08.03.1994	(72) Inventor: ONISHI HIROYUKI

(54) IMAGE PATTERN INSPECTING DEVICE

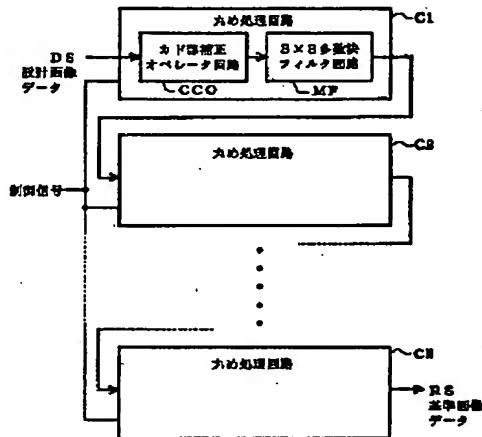
(57) Abstract:

PURPOSE: To prevent the misconception on defects by sufficiently reducing the difference at corner sections between a reference image pattern obtained from the design data and a pattern of an object to be inspected without introducing uncertain factors such as the trial-and-error selection of the weighting factor.

CONSTITUTION: The binary design image data prepared from the design data of a printed wiring board are corrected by a correcting circuit to obtain the reference image data. The correcting circuit is connected with rounding circuits C1-CN in series, and each rounding circuit is constituted of a corner section correcting operator circuit CCO detecting and rounding corner sections by applying a prescribed mask pattern to a design image pattern and a 3×3 majority decision filter circuit MF smoothing the corrected image pattern. The reference image data obtained by the cor-

recting circuit are compared with the binary image data obtained by reading the wiring pattern of the printed wiring board, and defects of the printed wiring board are detected.

COPYRIGHT: (C)1995,JPO



BEST AVAILABLE COPY

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-243984

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl.⁶ 請願記号 庁内整理番号 F I 技術表示箇所
G 0 1 N 21/88 E 7172-2J
G 0 1 B 11/24 F
G 0 6 T 7/00
H 0 1 L 21/66 J 7630-4M
G 0 6 F 15/62 4 0 5 A
審査請求・未請求 請求項の数4 FD (全11頁) 最終頁に続く

(21) 出願番号	特願平6-66786	(71) 出願人	000207551 大日本スクリーン製造株式会社 京都府京都市上京区堀川通寺之内上る4丁 目天神北町1番地の1
(22) 出願日	平成6年(1994)3月8日	(72) 発明者	大西 浩之 京都市上京区堀川通寺之内上る4丁目天神 北町1番地の1 大日本スクリーン製造株 式会社内

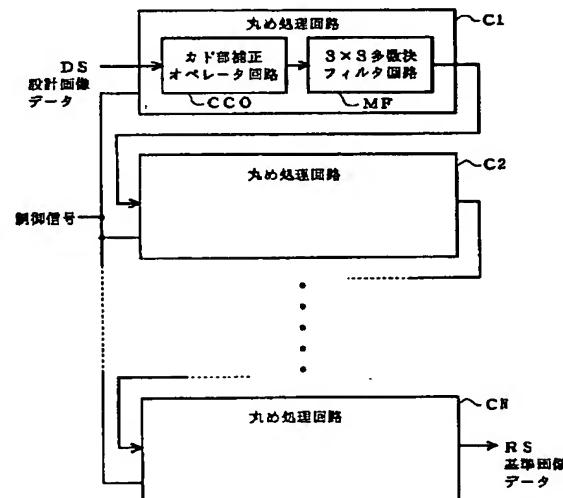
(74) 代理人 弁理士 小林 良平

(54) 【発明の名称】 画像パターン検査装置

(57) 【要約】

【目的】 重み係数の試行錯誤的な選定等の不確定要素を持ち込むことなく、設計データから得られる基準画像パターンと検査対象物のパターンとのカド部における差異を十分に小さくすることにより、欠陥誤認を防止する。

【構成】 プリント配線板の設計データから作成された2値の設計画像データを補正回路で補正することにより、基準画像データを得る。補正回路は、丸め処理回路C1～CNを縦列接続した構成となっており、各丸め処理回路は、設計画像パターンに所定のマスクパターンを適用することによりカド部を検出して丸みを付けるカド部補正オペレータ回路CCOと、その補正後の画像パターンを平滑化する3×3多数決フィルタ回路MFとから成る。このような補正回路によって得られた基準画像データは、プリント配線板の配線パターンを読み取って得られる2値画像データと比較され、プリント配線板の欠陥が検出される。



1

【特許請求の範囲】

【請求項1】 オリジナルパターンが具現化された検査対象物のオブジェクトパターンを画素毎に読み取って得られる2値画像データにより表わされる検査対象パターンと、前記オリジナルパターンの設計データに基づいて生成された2値画像データにより表わされる基準画像パターンとを比較することにより、検査対象物の欠陥を検出する画像パターン検査装置において、

a) 前記オリジナルパターンを表わす2値の設計画像パターンを前記設計データから生成する設計画像データ生成手段と、

b) 予め設定された照合領域内でカド部を表わすマスクパターンと前記照合領域における設計画像パターンとを照合し、両者が一致するか否かを判定するカド部検出手段と、

c) 前記カド部検出手段による一致が判定された際に、前記照合領域における設計画像パターンの中心画素の値を反転させることにより、前記基準画像パターンを生成する画像データ補正手段と、を備えることを特徴とする画像パターン検査装置。

【請求項2】 前記カド部検出手段は、 5×5 以上の奇数個の2値画素から成るマスクパターンを有し、該マスクパターンに含まれる以下i)～iv)の全画素について、前記照合領域における設計画像パターンの対応する画素値が同じ場合に一致すると判定することを特徴とする請求項1に記載の画像パターン検査装置。

i) 中心画素

ii) 中心画素と異なる値を有し、中心画素を通る直線上で中心画素から1画素分以上離れて中心画素の両側に存在する2個以上の画素

iii) 中心画素と同じ値を有し、中心画素を端点とし前記直線に垂直な第1半直線上に存在する1個以上の画素であって、中心画素から1画素分以上離れた画素を含むもの

iv) 中心画素と異なる値を有し、中心画素を端点とし前記第1半直線と反対の方向に延びる第2半直線上の1個以上の画素

【請求項3】 前記画像データ補正手段は、前記照合領域における設計画像パターンの中心画素の値を反転させた後、多数決フィルタによって前記設計画像パターンを平滑化することにより、前記基準画像パターンを生成することを特徴とする請求項1又は請求項2に記載の画像パターン検査装置。

【請求項4】 前記画像データ補正手段は、複数段備えられていることを特徴とする請求項1乃至請求項3のいずれかの請求項に記載の画像パターン検査装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、プリント配線板の配線パターンや半導体ウェハ上の回路パターン等の外観検査

10

20

30

30

40

50

2

に用いられる画像パターン検査装置に関する。

【0002】

【従来の技術】 プリント配線板の配線パターン等の外観検査を行なうための方法として、比較法（パターンマッチング法）がある。比較法は、検査対象物の画像パターンを基準画像パターンと比較し、差異のある部分を欠陥と判定するものである。この比較法において必要となる基準画像パターンを得る方法としては、欠陥のない対象物のパターンを読み取って基準画像パターンとするものと、オリジナルパターン設計の段階で使用されるCAD（計算機援用設計システム）によって作成された設計データから基準画像パターンを得るものとがある。このうち、設計データから基準画像パターンを得る方法は、欠陥のない検査対象物を必要とせず、設計通りにパターンが形成されているか否かが検査されるという点において検査本来の目的に合致したものである。

【0003】 ところが、検査対象物の製造に際してエッチングプロセスによる化学的な処理が行なわれるため、実際の検査対象物のパターンは、図13(b)に示すように、通常、カド部が丸みを有しているのに対し、設計データから直接得られる画像パターン（以下「設計画像パターン」という）は、図13(a)に示すようにカド部が先鋒であり丸みを有していない。したがって、設計画像パターンをそのまま基準画像パターンとして用いると、図13(c)のようにカド部において差異が検出され、これが欠陥と誤って判定される場合がある。カド部の差異が欠陥と誤認されると、検査の信頼性が低くなるとともに、検査装置による欠陥検出後の目視による欠陥確認に要する時間も長くなる。

【0004】 これに対し、従来、カド部における上記の差異をなくすために、空間フィルタを利用して設計画像パターンに対して平滑化を行なう方法（特開昭60-60504号）や、正方形局所領域の周囲の画素の総和に基づきカド部を検出して設計画像パターンを修正する方法（特公平4-10565号）、4連結拡大、8連結拡大、4連結縮小、及び8連結縮小の各操作を設計画像パターンに対し所定の順列に従って順次実行する方法（特開平5-240801号）等が提案されている。

【0005】

【発明が解決しようとする課題】 しかし、上記従来の方法のうち空間フィルタを利用して平滑化を行なう方法では、平滑化のための重み係数及び2値化のための閾値の選定が試行錯誤的となり適切な値の選定が困難である。正方形局所領域の周囲の画素の総和に基づいて修正を行なう方法においても、カド部を検出するための閾値の選定が試行錯誤的になり、また、先鋒なカド部では実際の検査対象物のパターンとの差異が大きいまとなる。例えば図14(a)に示された配線パターン（斜線が付された部分が配線パターンを形成する銅箔部分である）にに対してこの方法を適用すると、黒丸が付された画素が補

正されてカド部に丸みが付けられるが、この補正後のパターンと図14(b)に示される実際の検査対象物のパターンとを比較すると図14(c)に示すようになり、両者の差異は依然として大きい。そして、4連結拡大、8連結拡大、4連結縮小、及び8連結縮小の各操作を所定の順列に従って順次実行する方法では、凹のカド部を埋めたり凸のカド部を削ったりすることができるが、原理的に処理後のカド部は直線状となり丸みを付けることができないため、実際の検査対象物のパターンとの間の差異を十分に小さくすることができない。

【0006】本発明はこのような課題を解決するために成されたものであり、その目的とするところは、重み係数や閾値の試行錯誤的な選定というような不確定要素を持ち込むことなく、設計画像パターンが先鋭なカド部を有する場合であっても設計データから得られる基準画像パターンと実際の検査対象物のパターンとのカド部における差異を十分に小さくして、欠陥を誤認することのない画像パターン検査装置を提供することにある。

【0007】

【課題を解決するための手段】上記課題を解決するため成された本発明に係る第1の画像パターン検査装置では、オリジナルパターンが具現化された検査対象物のオブジェクトパターンを画素毎に読み取って得られる2値画像データにより表わされる検査対象パターンと、前記オリジナルパターンの設計データに基づいて生成された2値画像データにより表わされる基準画像パターンとを比較することにより、検査対象物の欠陥を検出する画像パターン検査装置において、

a) 前記オリジナルパターンを表わす2値の設計画像パターンを前記設計データから生成する設計画像データ生成手段と、

b) 予め設定された照合領域内でカド部を表わすマスクパターンと前記照合領域における設計画像パターンとを照合し、両者が一致するか否かを判定するカド部検出手段と、

c) 前記カド部検出手段による一致が判定された際に、前記照合領域における設計画像パターンの中心画素の値を反転させることにより、前記基準画像パターンを生成する画像データ補正手段と、を備えた構成としている。

【0008】本発明に係る第2の画像パターン検査装置では、上記第1の画像パターン検査装置において、前記カド部検出手段は、 5×5 以上の奇数個の2値画素から成るマスクパターンを有し、該マスクパターンに含まれる以下i)～iv)の全画素について、前記照合領域における設計画像パターンの対応する画素値が同じ場合に一致すると判定することを特徴とする。

i) 中心画素

ii) 中心画素と異なる値を有し、中心画素を通る直線上で中心画素から1画素分以上離れて中心画素の両側に存在する2個以上の画素

iii) 中心画素と同じ値を有し、中心画素を端点とし前記直線に垂直な第1半直線上に存在する1個以上の画素であって、中心画素から1画素分以上離れた画素を含むもの

iv) 中心画素と異なる値を有し、中心画素を端点とし前記第1半直線と反対の方向に延びる第2半直線上の1個以上の画素

【0009】本発明に係る第3の画像パターン検査装置では、上記第1又は第2の画像パターン検査装置において、前記画像データ補正手段は、前記照合領域における設計画像パターンの中心画素の値を反転させた後、多数決フィルタによって前記設計画像パターンを平滑化することにより、前記基準画像パターンを生成することを特徴とする。

【0010】本発明に係る第4の画像パターン検査装置では、上記第1乃至第3のいずれかの画像パターン検査装置において、前記画像データ補正手段は、複数段備えられていることを特徴とする。

【0011】

【作用】第1の画像パターン検査装置によると、設計画像データ生成手段によって2値の設計画像パターンが生成され、カド部検出手段によってマスクパターンと照合領域における設計画像パターンとが一致するか否かが判定される。ここで、両者が一致するのは、照合領域における設計画像パターンがカド部を表わす場合である。両者の一致が判定されると、画像データ補正手段は、照合領域における設計画像パターンの中心画素の値を反転させることにより、基準画像パターンを生成する。ここで、中心画素の値が反転させられるということは、カド部における凸部分が削られ凹部分が埋められることである。この結果、カド部に丸みが付されて、基準画像パターンが実際に具現化されたパターンすなわち欠陥のない検査対象物のパターンに近くなる。

【0012】一方、設計されたパターンが具現化された検査対象物のパターンは画素毎に読み取られて2値化され、これにより検査対象パターンが得られる。この検査対象パターンは上記のようにして得られた基準画像パターンと比較され、この比較により検査対象物の欠陥が検出される。

【0013】第2の画像パターン検査装置では、第1の画像パターン検査装置の上記作用において、照合領域における設計画像パターンとマスクパターンとの照合は以下のようになる。すなわち、照合領域における設計画像パターンが、中心画素と同じ値を有する画素から中心画素に向かう方向（以下「凹凸の方向」という）若しくはそれに近い方向に突出している凸状パターン又はそのような方向に窪んでいる凹状パターンであれば、マスクパターンの前記i)～iv)に記載の全画素について、設計画像パターンの対応する画素値が同じとなる。これに対し、凸状パターンでも凹状パターンでもない部分や、凸

状パターン又は凹状パターンであっても突出している方向又は窪んでいる方向が凹凸の方向と大きく異なっている部分であれば、その部分はマスクパターンの前記i)～iv)に記載のいずれかの画素について対応する画素値が異なる。そして、カド部の凹凸に対応する部分はマスクパターンと一致すると判定し、それ以外の部分はマスクパターンと一致しないと判定する。なおカド部検出手段は、各凹凸の方向に対応して中心画素と同じ値の画素を配置した複数のマスクパターンを用意して、照合領域における設計画像パターンをこれらのマスクパターンと照合するのが好ましい。

【0014】第3の画像パターン検査装置によれば、画像データ補正手段は、第1又は第2の画像パターン検査装置と同様にしてカド部に丸みを付け、さらに設計画像パターンを多数決フィルタによって平滑化する。この平滑化により、カド部に丸みを付ける補正で設計画像パターンに「虫喰い」(例えば、値'0'の画素の周囲が値'1'の画素で囲まれているようなパターン)が生じても、その「虫喰い」が消滅する。また、この平滑化によって設計画像パターンが、実際に具現化されるパターンにより近くなる。このようにして補正された設計画像パターンは、基準画像パターンとして検査対象物の欠陥の検出に使用される。

【0015】第4の画像パターン検査装置によれば、第1乃至第3の画像パターン検査装置において画像データ補正手段により行なわれる補正が複数回繰り返される。これにより、設計画像パターンが実際に具現化されるパターンに更に近くなる。この複数回の補正がされた設計画像パターンは、基準画像パターンとして検査対象物の欠陥の検出に使用される。

【0016】

【実施例】図2は、本発明の一実施例である画像パターン検査装置の全体構成を示すブロック図である。この検査装置は、プリント配線板の外観検査に使用されるものであり、ステージ51、ステージ駆動系65及び読取装置53から成る画像入力部と、2値化回路54、比較欠陥検出回路55、補正回路58及び画像データ記憶回路57から成る欠陥検出部と、CADデータ入力部56と、CPU60、CRT61、キーボード62及び制御系66から成る制御部とを備えている。

【0017】本画像パターン検査装置では、検査すべき配線パターン(以下「オブジェクトパターン」という)が形成されたプリント配線板52がステージ51の上に載置される。ステージ駆動系65は、制御系66からの信号に基づき、ステージ51を副走査方向VSに水平に移動させる。読取装置53は、ステージ51の上方に設けられており、LED等の光源とCCD等の受光素子によって構成されている。この読取装置53は、プリント配線板52が副走査方向VSに移動する間に、そのプリント配線板52のオブジェクトパターンを主走査方向

PSに画素毎に読み取り、読み取ったオブジェクトパターンをアナログ信号として出力する。

【0018】2値化回路54は、読取装置53から出力されるアナログ信号をデジタル信号に変換した後、所定の閾値に基づいてそのデジタル信号を2値化し、オブジェクトパターンの2値化画像データ(以下「検査対象データ」という)OSとして出力する。以下では、この検査対象データOSは、配線パターンが存在する領域では画素の値が'1'、それ以外の領域では画素の値が'0'となるデータであるものとする。2値化回路54から出力された検査対象データOSは、比較欠陥検出回路55に入力される。

【0019】検査対象物であるプリント配線板52に形成される配線パターンはCADを用いて設計される(以下、設計による配線パターンを「オリジナルパターン」という)。CADデータ入力部56は、CADを用いて作成された設計データを入力し、この設計データからオリジナルパターンを表わす2値化画像データ(以下「設計画像データ」という)DSを生成する。以下では、この設計画像データDSも、配線パターンが存在する領域において画素の値が'1'、それ以外の領域において画素の値が'0'となるデータであるものとする。また、設計画像データによって表わされる画像パターンを設計画像パターンと称す。

【0020】画像データ記憶回路57は、CADデータ入力部56が生成した設計画像データDSを記憶する。この設計画像データDSは、プリント配線板52の検査のとき、画像データ記憶回路57から出力されて補正回路58に入力される。入力された設計画像データに対して補正回路58は、設計画像パターンのカド部に丸みを付けるための補正を行なう。補正後のデータは、基準画像データRSとして比較欠陥検出回路55に入力される。この基準画像データRSの入力は、検査対象データOSの比較欠陥検出回路55への入力に同期して行なわれる。

【0021】比較欠陥検出回路55は、入力された検査対象データOSと基準画像データRSとを比較し、両者間で差異を有する領域の大きさが許容範囲以上、すなわち値が異なる画素が所定数以上集まっている部分があれば、その部分を欠陥と判断し、その欠陥部分の位置を示す座標値を記憶する。

【0022】CPU60は、マイクロプロセッサ(MPU)、入出力インターフェース、メモリ等から構成され、メモリに格納されるプログラムにしたがって動作する。すなわちCPU60は、比較欠陥検出回路55に記憶される欠陥部分の座標値を読みだし、CRT61に信号を送出することにより、CRT61の画面上にオブジェクトパターンを示す图形を表示させるとともに、この图形に重ねる形で前記座標値に対応する位置を示す目印となる記号を表示させる。これにより、CRT61の画面を

通じて欠陥部分の位置を容易に認識することができる。なお、CPU60は、キーボード62による入力操作に基づいて動作し、このような欠陥に関する情報の表示の他、制御系66を介してステージ駆動系65によるステージ51の移動の制御や、補正回路58及び比較欠陥検出回路55の動作の制御を行なう。

【0023】上記において説明した図2の構成では、補正回路58は、画像データ記憶回路57と比較欠陥検出回路55との間に置かれているが、補正回路58をCADデータ入力部56と画像データ記憶回路57との間に置く構成としてもよい。この場合、CADデータ入力部56から設計画像データDSが補正回路58に入力され、補正後の設計画像データすなわち基準画像データRSが画像データ記憶回路57に記憶される。そして、この基準画像データRSは、CPU60による制御の下、検査対象データOSの比較欠陥検出回路55への入力に同期して、画像データ記憶回路57から比較欠陥検出回路55へ入力される。以降の動作は図2の構成の場合と同様である。

【0024】既述のように従来の画像パターン検査装置では、基準画像データと検査対象データとを比較したときにカド部において生じる差異が問題となる。本実施例では、この差異をできるだけ小さくするために、前述のように補正回路58によって設計画像データを補正したものを基準画像データとしている。以下では、この補正回路58の構成及び動作の詳細について説明する。

【0025】まず、補正回路58の動作原理について説明する。補正回路58は、予め設定された照合領域毎に設計画像パターンにカド部が含まれているか否か判定し、含まれていると判定した際には、照合領域における設計画像パターンの中心画素の値を反転させるという基本機能（以下「基本補正機能」という）を備えている。カド部の判定に当たっては、照合領域においてカド部を表わすマスクパターンが利用される。図3は画素の値が'1'である配線パターン（銅箔パターン）の凸部分を検出するマスクパターンを、図4は銅箔パターンの凹部分を検出するマスクパターンをそれぞれ示す。

【0026】図3及び図4において、最小の四角形の各々は設計画像パターンの1画素に対応しており、照合領域に対応するマスクパターンのサイズは、本実施例では、 5×5 画素に設定されている。照合領域においてカド部を表わすパターンは、例えば図3(a)のマスクパターンでは、中心画素が'1'、中心画素の下方向の隣接画素が'0'、中心画素の左右方向に1画素分離れた画素が共に'0'、中心画素の上方向に1画素分離れた画素が'1'である。この図3(a)のマスクパターンは照合領域における設計画像パターンと照合され、マスクパターンの'0'、'1'と設計画像パターンの対応する画素値とが全て一致すればカド部であるとし、1つでも一致しない画素が有ればカド部でないと判定する。ただし、マ

スクバターンにおける空白部は'ドントケア'であり、その空白部の画素については設計画像パターンの対応する画素と一致するか否かは判断されない。このような図3(a)のマスクパターンによれば、設計画像パターンにおいて下方向に突出している凸部を検出することができる。同様に、図3(b)～(h)のマスクパターンによれば、設計画像パターンにおいて左下方向、左方向、左上方向、上方向、右上方向、右方向、右下方向に突出している凸部をそれぞれ検出することができる。

【0027】一方、図4(a)のマスクパターンによれば、照合領域における設計画像パターンの凹部を検出することができる。例えば図4(a)のマスクパターンでは、中心画素が'0'であり、中心画素の下方向の隣接画素が'1'、中心画素の左右方向に1画素分離れた画素が共に'1'、中心画素の上方向に1画素分離れた画素が'0'である。このようなマスクパターンによれば、設計画像パターンにおいて下方向に窪んでいる凹部を検出することができる。同様に、図4(b)～(h)のマスクパターンによれば、設計画像パターンにおいて左下方、左方向、左上方向、上方向、右上方向、右方向、右下方向に窪んでいる凹部をそれぞれ検出することができる。

【0028】図5は、直角に折れ曲がる銅箔パターン（斜線を付した部分）を含む設計画像パターンと、図3及び図4の各マスクパターンとの照合を示す図である。銅箔パターンが直線状となっている照合領域A又はHの部分を照合すると、その照合領域A又はHは図3及び図4のいずれのマスクパターンとも一致しない。これに対し、銅箔パターンのカド部の凹側の照合領域Bを照合すると、図4(b)に示されたマスクパターンと一致するため、このマスクパターンによって照合領域Bの部分が左下方向に窪んでいる凹部として検出される。同様に、カド部の凹側の照合領域C及びDを照合するときにも図4(b)に示されたマスクパターンと一致するため、照合領域C及びDの部分が左下方向に窪んでいる凹部として検出される。さらに、カド部の凸側の照合領域Eを照合すると、図3(b)に示されたマスクパターンと一致するため、このマスクパターンによって照合領域Eの部分が左下方向に突出している凸部として検出される。同様に、カド部の凸側の照合領域F及びGを照合するときにも図3(b)に示されたマスクパターンと一致するため、照合領域F及びGの部分が左下方向に突出している凸部として検出される。

【0029】以上のように検出された設計画像パターンのカド部については、カド部が検出された照合領域における設計画像パターンの中心画素の値が反転させられ、これによって基本補正機能が完了し、カド部に丸みが付けられる。例えば、照合領域B、C及びDにおける設計画像パターンの中心画素b、c及びdは'0'から'1'に、照合領域E、F及びGにおける設計画像パターンの

中心画素e、f及びgは'1'から'0'に反転させられ、これによって図6に示すように、カド部の凹側が埋められ凸側が削られて、カド部に丸みが付けられる。

【0030】上記と同様に、図7(a)に示すような45度の凹状のパターンに対して基本補正機能を適用すると、図7(b)に示すようになる。しかし、図8(a)に示すように45度よりも更に先鋭な凹状のパターンに対して基本補正機能を適用すると、黒丸が付された画素が補正されて('1'に置き換えられて)図8(b)に示すようになり、値'0'の画素の周囲が値'1'の画素で囲まれるという「虫喰い」のパターンが生じる。そこで本実施例では、基本補正機能を適用した後に設計画像パターンを3×3の多数決フィルタに通すことにより、基準画像パターンにおける「虫喰い」の発生を防止している。3×3の多数決フィルタに通すと、「虫喰い」の発生防止の他、パターンの凹凸の形状が滑らかになってより実際の銅箔パターンに近くなるという効果もある。すなわち、3×3の多数決フィルタに通すことにより、図7(b)のパターンは図7(c)に示すようになり、図8(b)のパターンは図8(c)に示すようになる。

【0031】本実施例では上記原理に基づき、補正回路58を、設計画像パターンにおけるカド部に丸みを付けるための丸め処理回路を複数段接続した構成としている。すなわち、図1に示すように補正回路58は、丸め処理回路C1～CNを縦列接続した構成となっており、各丸め処理回路は、基本補正機能を行なうカド部補正オペレータ回路CCOと、カド部補正オペレータ回路CCOによって処理された後の画像パターンの平滑化を行なう3×3多数決フィルタ回路MFとから成る。このような補正回路58は、CPU60から供給される所定の制御信号に基づいて動作し、画像データ記憶回路57から出力される設計画像データDSを入力して、上記原理に基づく処理を丸め処理回路によりN回行ない、その結果得られるデータを基準画像データRSとして出力する。

【0032】図9及び図10はカド部補正オペレータ回路CCOの内部構成を示す回路図であり、図9は、1画素ずつ順次入力される設計画像データDSを、5×5画素から成る照合領域に対応するように2次元的に展開するための回路(以下「画素展開部」という)を示し、図10は、図9の回路で展開された設計画像データDSによって表わされる5×5画素のパターンに対してカド部の検出と補正を行なうための回路(以下「カド部検出補正部」という)を示す。

【0033】図9に示された画素展開部は、主走査方向PSの画素数分すなわち1ライン分の長さのラインメモリLM1～LM4と、DフリップフロップF11～F15から成る第1シフトレジスタと、DフリップフロップF21～F24から成る第2シフトレジスタと、DフリップフロップF31～F35から成る第3シフトレジスタと、DフリップフロップF41～F44から成る第4シ

フトレジスタと、DフリップフロップF51～F55から成る第5シフトレジスタとから構成され、設計画像データDSの各画素に対応する基準クロックCPに同期して動作する。」

【0034】設計画像データDSの各画素を表わす信号(以下「設計画像信号」といい、設計画像データと同一の符号DSで示すこととする)は、画素展開部において、まず、第1シフトレジスタに入力され、この第1シフトレジスタにより、設計画像信号DSを1画素分遅延させた信号O11、3画素分遅延させた信号O13、及び5画素分遅延させた信号O15が得られる。また、設計画像信号DSはラインメモリLM1にも入力され、このラインメモリLM1により、設計画像信号DSを1ライン分遅延させた信号(以下「1ライン遅延信号」という)が得られる。そして、1ライン遅延信号はラインメモリLM2に入力され、このラインメモリLM2により、更に1ライン分遅延させた信号すなわち設計画像信号DSを2ライン分遅延させた信号(以下「2ライン遅延信号」という)が得られる。以下同様にして、ラインメモリLM3、LM4により、設計画像信号DSを3ライン分遅延させた信号(以下「3ライン遅延信号」という)、設計画像信号DSを4ライン分遅延させた信号(以下「4ライン遅延信号」という)がそれぞれ得られる。これらの1～4ライン遅延信号も所定のシフトレジスタに入力される。すなわち、1ライン遅延信号は第2シフトレジスタに、2ライン遅延信号は第3シフトレジスタに、3ライン遅延信号は第4シフトレジスタに、4ライン遅延信号は第5シフトレジスタにそれぞれ入力される。そして、第2シフトレジスタにより、1ライン遅延信号を2画素分遅延させた信号O22、3画素分遅延させた信号O23、及び4画素分遅延させた信号O24が得られ、第3シフトレジスタにより、2ライン遅延信号を1画素分遅延させた信号O31、2画素分遅延させた信号O32、3画素分遅延させた信号O33、4画素分遅延させた信号O34、及び5画素分遅延させた信号O35が得られ、第4シフトレジスタにより、3ライン遅延信号を2画素分遅延させた信号O42、3画素分遅延させた信号O43、及び4画素分遅延させた信号O44が得られ、第5シフトレジスタにより、4ライン遅延信号を1画素分遅延させた信号O51、3画素分遅延させた信号O53、及び5画素分遅延させた信号O55が得られる。

【0035】図10に示されたカド部検出補正部は、ANDゲートA1～A16、ORゲートA17、及び排他的論理ゲート(以下「EXORゲート」という)A18から構成されている。このカド部検出補正部では、画素展開部で得られた上記の信号O11、O13、O15、O22、O23、O24、O31、O32、O33、O34、O35、O42、O43、O51、O53を用いて、カド部を検出するカド部検出機能を実現して

11

いる。例えば、ANDゲートA1は、信号O53、信号O33、信号O35を反転させた信号、信号O23を反転させた信号、及び信号O31を反転させた信号を入力し、これらの論理積の信号を出力する。このANDゲートA1の出力信号は、画素展開部で展開された設計画像信号によって示されるパターンが図3(a)のマスクパターンと一致する場合に'1'、不一致の場合には'0'となる。すなわち、ANDゲートA1は、図3(a)のマスクパターンによるカド部検出機能(下方向に突出している凸部を検出する機能)を実現している。同様に、ANDゲートA2～A8は、それぞれ図3(b)～(h)のマスクパターンによるカド部検出機能を実現し、ANDゲートA9～A16は、それぞれ図4(a)～(h)のマスクパターンによるカド部検出機能を実現している。

【0036】上記ANDゲートA1～A16の出力信号は、ORゲートA17に入力される。したがって、ORゲートA17の出力信号は、画素展開部で展開された設計画像信号によって示されるパターンが、図3及び図4に示されたいずれかのマスクパターンと一致する場合に'1'、不一致の場合には'0'となる。そして、このORゲートA17の出力信号はEXORゲートA18に入力される。EXORゲートA18には、この出力信号の他に、画素展開部で展開された設計画像信号に対応する5×5画素の中心画素の信号O33が入力される。したがって、ORゲートA17の出力信号が'0'の場合は、中心画素の信号O33がそのままEXORゲートA18から出力されるが、ORゲートA17の出力信号が'1'の場合は、中心画素の信号O33を反転させた信号が出力される。このEXORゲートA18の出力信号がカド部検出補正回路の出力信号であり、補正後の設計画像データDSmを表わしている(以下、この出力信号を「補正設計画像信号」といい、補正後の設計画像データと同一の符号DSmで示すこととする)。

【0037】以上より、図9の画素展開部と図10のカド部検出補正部から成るカド部検出オペレータ回路CCOは、画素展開部に入力された設計画像データDSのパターンが図3及び図4に示されたいずれかのマスクパターンと一致する場合には画素展開部の中心画素の信号O33を反転して出力し、不一致の場合には信号O33をそのまま出力する。

【0038】図11は3×3多数決フィルタ回路MFの内部構成を示す図であり、この多数決フィルタ回路MFには、上記のカド部検出オペレータ回路CCOから出力される補正設計画像信号DSmが入力される。多数決フィルタ回路MFは、ラインメモリ21、22と、Dフリップフロップ31、32、33と、加算器30、40と、Dフリップフロップ41、42から成る2段のシフトレジスタと、比較器45とから構成され、基準クロックCPに同期して動作する。

10

20

30

40

50

12

【0039】補正設計画像信号DSmは、3×3多数決フィルタ回路MFにおいて、まず、Dフリップフロップ31及びラインメモリ21に入力される。そして、ラインメモリ21から出力される信号はDフリップフロップ32及びラインメモリ22に入力され、ラインメモリ22から出力される信号はDフリップフロップ33に入力される。したがって、Dフリップフロップ31、32、33からは、補正設計画像信号DSmを1画素分遅延させた信号DSm1、信号DSm1を1ライン分遅延させた信号DSm2、信号DSm2をさらに1ライン分遅延させた信号DSm3がそれぞれ出力される。これらの信号DSm1、DSm2、DSm3は加算器30に入力され、加算器30はそれらの信号を加算した信号を出力する。この加算信号は、副走査方向VSに隣接する3画素の加算値を示す2ビットの信号であり、加算器40に入力されるとともに、Dフリップフロップ41、42から成る2段のシフトレジスタに入力され、Dフリップフロップ41、42の両出力信号も加算器40に入力される。加算器40は、入力されたこれらの信号を加算した信号を出力する。この加算信号は、副走査方向VSに隣接する3画素の加算値をさらに主走査方向に3画素分加算した値、すなわち3×3画素の加算値を示す4ビットの信号である。この4ビットの加算信号は比較器45に入力され値'5'と比較され、その加算信号の値が'5'以上であれば'1'が出力され、'5'よりも小さければ'0'が出力される。比較器45から出力される信号は、基準画像データを表わす基準画像信号RSとして比較欠陥検出回路55に入力される。

【0040】以上より、3×3多数決フィルタ回路MFは、入力される補正設計画像信号DSmの各値を中心画素とする3×3の9画素のうち'1'の画素が5個以上あれば即ち'1'の画素が'0'の画素よりも多ければ'1'を出力し、'1'の画素が4個以下であれば即ち'1'の画素が'0'の画素よりも少なければ'0'を出力する。これにより、補正設計画像パターンにおける「虫喰い」が消滅するとともに、パターンの凹凸の形状が滑らかになってより実際の銅箔パターンに近くなる。例えば、図8

(a)の設計画像パターンからカド部検出オペレータ回路CCOにより図8(b)に示すような補正設計画像パターンが得られ、「虫喰い」が生じるが、これを上記の3×3多数決フィルタ回路MFによって平滑化することにより、図8(b)において黒三角が付された画素が補正され、図8(c)に示すように「虫喰い」のない基準画像パターンが得られる。

【0041】以上のように本実施例によれば、重み係数や閾値の試行錯誤的な選定というような不確定要素を持ち込むことなく、「虫喰い」パターンの発生を防止しつつ設計画像パターンにおけるカド部に丸みを付け、実際の銅箔パターンに近い基準画像パターンを得ることができる。この基準画像パターンを検査対象物の画像バター

ンと比較することにより、欠陥の誤認が少なくなり、欠陥検出の信頼性が向上する。

【0042】上記実施例では図3及び図4に示すマスクパターンを採用しているが、これ以外にも同様の機能を有するマスクパターンが考えられる。例えば、図3 (a) に対応するパターンとして図12 (a) に示すマスクパターンが考えられる。このマスクパターンは、値'1'の中心画素の下方の隣接画素は'ドントケア'であり、その下の隣接画素が'0'である点で、値'1'の中心画素の下方の隣接画素が'0'である図3 (a) のパターンと相違する。図3及び図4に示された他のパターンについても、この図12 (a) に対応するパターンを考えることができる。すなわち、図3及び図4に示されたパターンでは、中心画素と値が異なる画素が、各パターンによって検出される凸部又は凹部の方向に中心画素と隣接しているが、図12 (a) に対応するパターンでは、そのような中心画素と値が異なる画素は中心画素から1画素分離れており、両画素の間の画素は'ドントケア'となっている。このようなマスクパターンを採用すると、「虫喰い」のパターンの発生が抑えられるという利点がある。例えば、前記の図8 (a) のパターンにこのようなマスクパターンを適用すると、「虫喰い」を発生させることなくカド部に丸みを付けることができ、この場合には、 3×3 多数決フィルタ回路等による平滑化の処理が不要となる。ただし、図12 (b) のようにカド部の先端が直線上に並んだ3画素から成る場合には、このようなマスクパターンを採用しても「虫喰い」が発生するため、 3×3 多数決フィルタ回路等による平滑化の処理が必要である。

【0043】

【発明の効果】本発明によれば、所定のマスクパターンにより設計画像パターンのカド部が検出されて補正されるため、重み係数や閾値の試行錯誤的な選定というような不確定要素を持ち込むことなく、補正後の設計画像パターンと実際に具現化されたオブジェクトパターンとの間でのカド部における差異を小さくすることができる。そして、このような補正後の設計画像パターンが基準画像パターンとして検査対象パターンと比較されるため、カド部における欠陥検出の誤認が防止される。また、基準画像パターンの生成のために欠陥のない検査対象物を必要とすることもない。

30

40

*

*【図面の簡単な説明】

【図1】 本発明の一実施例である画像パターン検査装置における補正回路の構成を示す図。

【図2】 本発明の一実施例である画像パターン検査装置の全体構成を示す図。

【図3】 画素の値が'1'の配線パターンにおける凸部分を検出するマスクパターンを示す図。

【図4】 画素の値が'1'の配線パターンにおける凹部分を検出するマスクパターンを示す図。

【図5】 直角に折れ曲がる配線パターンに対するマスクパターンの適用を示す図。

【図6】 直角に折れ曲がる配線パターンにおける補正後の配線パターンを示す図。

【図7】 45度の凹状配線パターンに対するカド部補正及び 3×3 多数決フィルタの適用を示す図。

【図8】 先鋒な凹状配線パターンに対するカド部補正及び 3×3 多数決フィルタの適用を示す図。

【図9】 補正回路を構成するカド部補正オペレータ回路における画素展開部の内部構成を示す図。

【図10】 補正回路を構成するカド部補正オペレータ回路におけるカド部検出補正部の内部構成を示す図。

【図11】 補正回路を構成する 3×3 多数決フィルタ回路の内部構成を示す図。

【図12】 マスクパターンの他の例を示す図。

【図13】 設計画像パターン及び検査対象物のパターンにおけるカド部を示す図。

【図14】 先鋒な凹状配線パターンを従来の方法により補正したパターンと実際の検査対象物のパターンとの比較を示す図。

【符号の説明】

52 …プリント配線板

55 …比較欠陥検出回路

56 …CADデータ入力部

58 …補正回路

C1~CN…丸め処理回路

CCO …カド部補正オペレータ回路

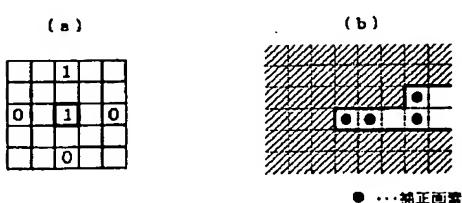
MF … 3×3 多数決フィルタ回路

OS …検査対象データ

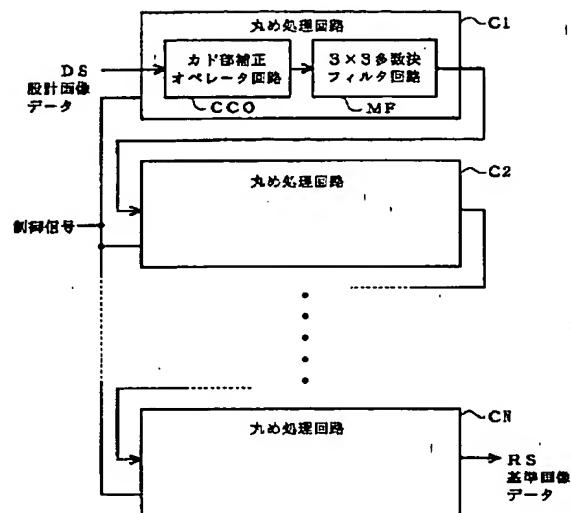
DS …設計画像データ

RS …基準画像データ

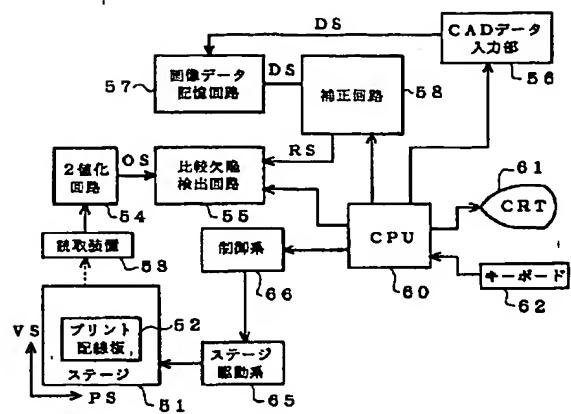
【図12】



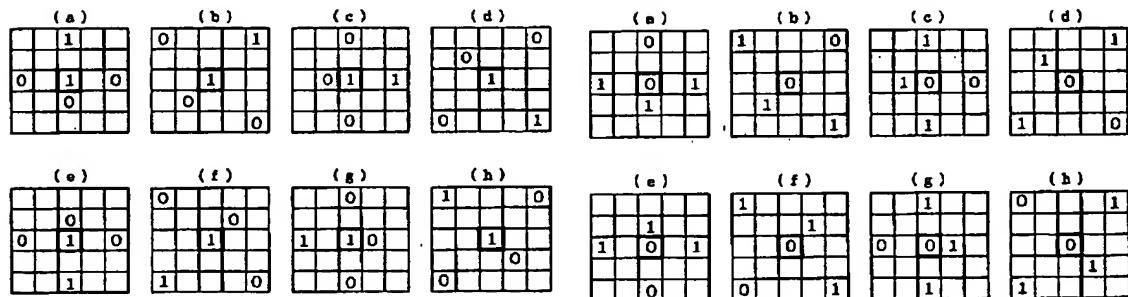
【図1】



【図2】

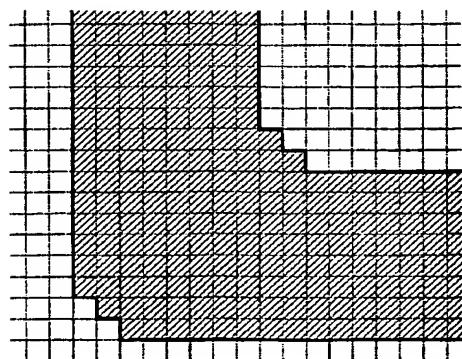


【図3】

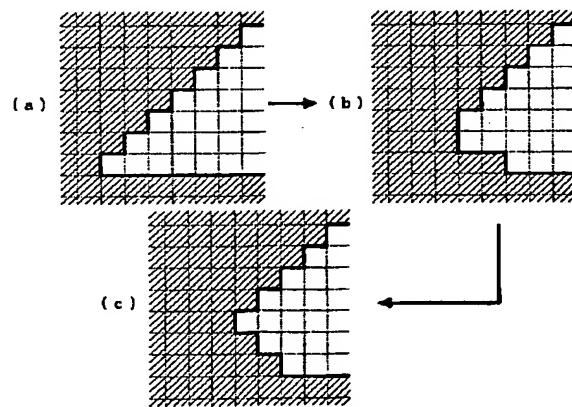


【図4】

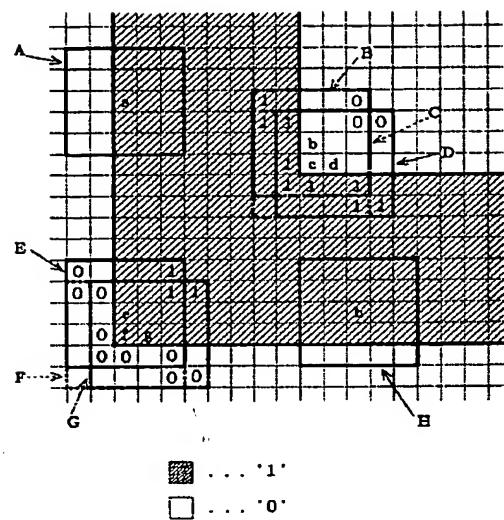
【図6】



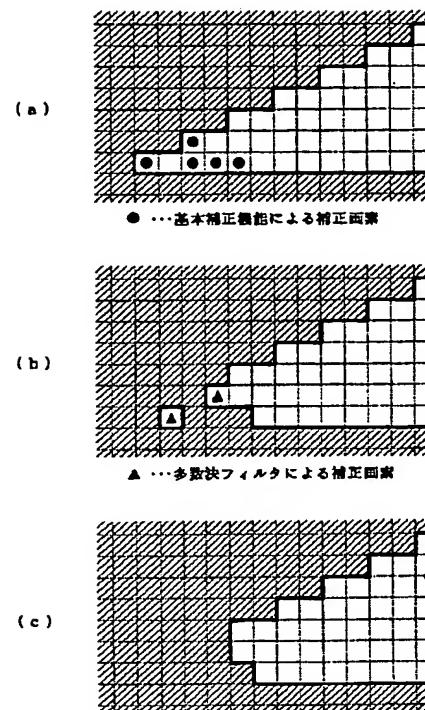
【図7】



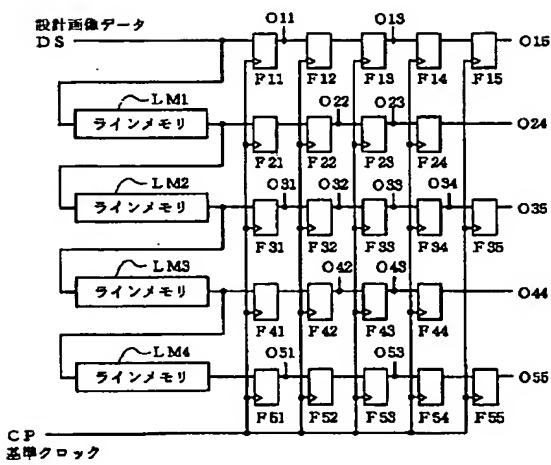
【図5】



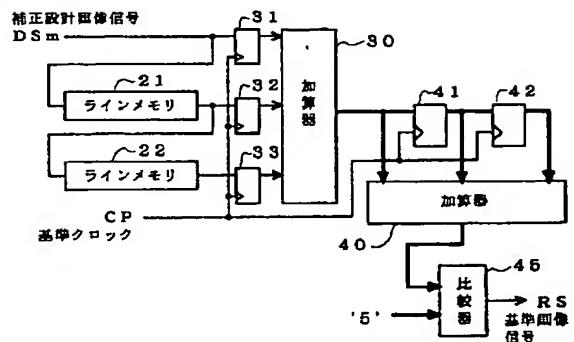
【図8】



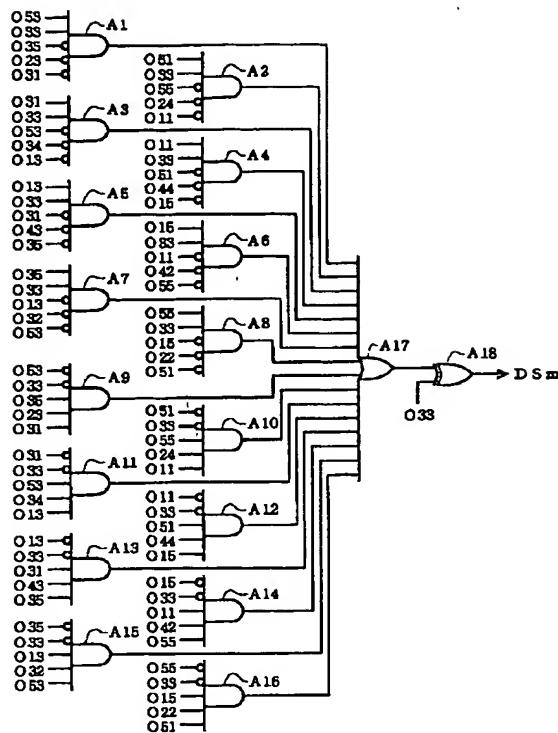
【図9】



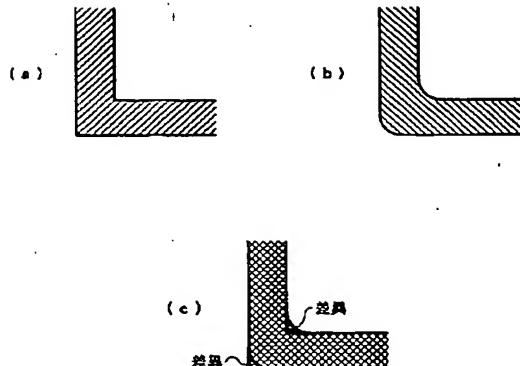
【図11】



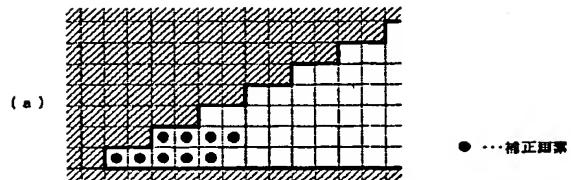
〔図10〕



【図13】



[図14]



フロントページの続き

(51) Int. Cl. 6
H 05 K 13/08

識別記号 庁内整理番号
Q 8315-4E

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.